

SOLID IMAGE PICK-UP DEVICE AND ITS FORMING METHOD

Publication number: JP11274454

Publication date: 1999-10-08

Inventor: KOIZUMI TORU; HIYAMA TAKUMI; KOUCHI TETSUNOBU; SAKURAI KATSUTO; UENO TOSHIKAKE; SUGAWA SHIGETOSHI

Applicant: CANON KK

Classification:

- international: H04N1/028; H01L27/146; H01L31/10; H04N1/19; H04N1/028; H01L27/146; H01L31/10; H04N1/19; (IPC1-7): H01L27/146; H01L31/10; H04N1/028; H04N1/19

- European: H01L27/146V4; H01L27/146A4; H01L27/146F

Application number: JP19980070537 19980319

Priority number(s): JP19980070537 19980319

Also published as:

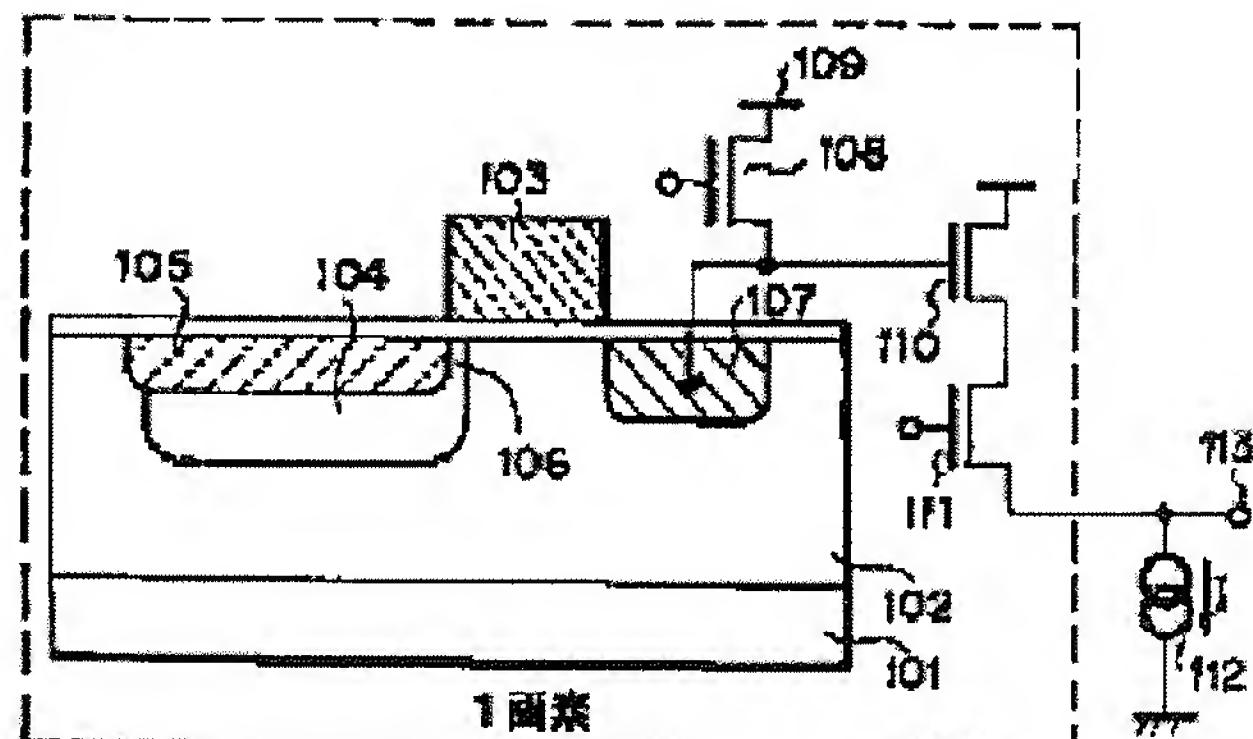
EP0948056 (A2)
US6661459 (B1)
EP0948056 (A3)

[Report a data error here](#)

Abstract of JP11274454

PROBLEM TO BE SOLVED: To prevent non-read-out of electric charges of a photodiode by a method wherein a first region is provided on a substrate, second and fourth regions and a photoelectric conversion part of a third region are provided in the first region, an electric charge transfer part is provided on the first region, and the photoelectric conversion part is connected to the electric charge transfer part via a fifth region.

SOLUTION: A P-type well 102 as a first region is formed on an n-type substrate 101, and an n layer 104 of a photodiode as a second region is formed in the P-type well 102. A p layer 105 of a photoelectric conversion part as a third region is formed between the n layer 104 and a main surface. Further, a diffusion floating region FD107 as a fourth layer is formed in the p well layer. An insulation film is formed on the P-type well layer, and a gate region 103 which becomes an electric charge transfer part is formed on the insulation film. A bypass region 106 as a fifth region is formed between a side face of the n layer 104 and the gate region 103.



Data supplied from the esp@cenet database - Worldwide

(51)Int.Cl.⁶

H 01 L 27/146

31/10

H 04 N 1/028

1/19

識別記号

F I

H 01 L 27/14

A

H 04 N 1/028

A

H 01 L 31/10

H

H 04 N 1/04

103Z

審査請求 未請求 請求項の数14 O.L (全 13 頁)

(21)出願番号

特願平10-70537

(22)出願日

平成10年(1998)3月19日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 小泉 徹

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 樋山 拓己

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 山下 積平

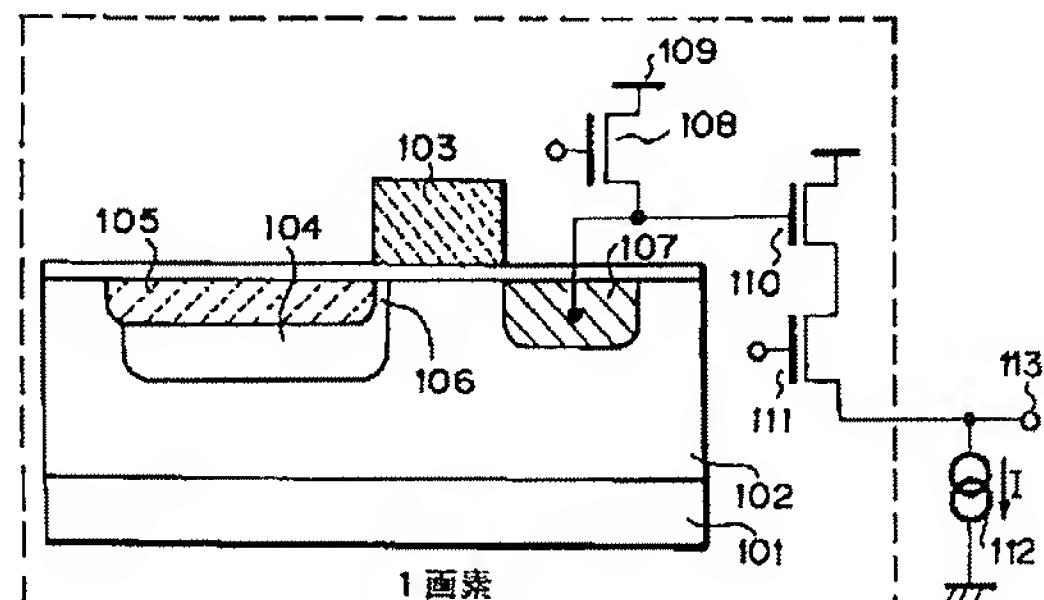
最終頁に続く

(54)【発明の名称】 固体撮像装置及びその形成方法

(57)【要約】

【課題】 ホトダイオードと転送スイッチ間のバイパス領域の濃度と幅を精度よく形成し、ダイナミックレンジを広げることを課題とする。

【解決手段】 ①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、②該第1の領域内にあって第2導電型を有する第4の領域と、③該光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部と、を少なくとも有する固体撮像装置において、前記光電変換部と前記電荷転送部は第2導電型を有する第5の領域を介して接続されていることを特徴とする。



101 : n型基板

102 : p型ウェル

103 : 転送MOSトランジスタ

104 : ホトダイオードのn層

105 : 表面の浅いp層

106 : バイパス領域

107 : 拡散浮遊領域

108 : リセットMOSトランジスタ

109 : リセット電源

110 : 出力回路(ソースフォロワ)の入力MOSトランジスタ

111 : 選択スイッチ用のMOSトランジスタ

112 : ソースフォロワの定電流負荷

113 : 出力端子

【特許請求の範囲】

【請求項1】 ①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、
 ②該第1の領域内にあって第2導電型を有する第4の領域と、
 ③該光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部と、を少なくとも有する固体撮像装置において、前記第2の領域が前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入する工程からなることを特徴とする固体撮像装置。

【請求項2】 前記第5の領域が、前記電荷転送部の制御電極が形成された後に不純物を導入して形成することを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記第5の領域は、少なくとも、前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入法で導入する工程を含み形成されることを特徴とする請求項1記載の固体撮像装置。

【請求項4】 前記第5の領域は、少なくとも、前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入角度を有したイオン注入法で導入する工程を含み形成されることを特徴とする請求項3記載の固体撮像装置。

【請求項5】 前記第5の領域は、少なくとも、前記電荷転送部の制御電極と、前記電荷転送部の制御電極の側面に設けたマスク手段をマスク材にして、前記第1導電型を有する不純物をイオン注入法で導入する工程を含み形成されることを特徴とする請求項1記載の固体撮像装置。

【請求項6】 前記第2の領域と前記第5の領域は、少なくとも、前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物を同一のイオン注入工程で形成されることを特徴とする請求項1記載の固体撮像装置。

【請求項7】 前記第2の領域と前記第5の領域は、少なくとも、前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物を複数回のイオン注入工程で形成されることを特徴とする請求項1記載の固体撮像装置。

【請求項8】 ①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、
 ②該第1の領域内にあって第2導電型を有する第4の領域と、
 ③該光電変換部に蓄積された信号電荷を該第4の領域に

転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部と、を少なくとも有する固体撮像装置において、前記第2の領域が前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入する工程からなることを特徴とする固体撮像装置。

【請求項9】 前記電荷転送部の第1の領域は拡散浮遊領域であり、該拡散浮遊領域に接続されるゲート電極を有する増幅用MOSトランジスタを備えたことを特徴とする請求項8に記載の固体撮像装置。

【請求項10】 一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、

前記第1の領域内にあって第2導電型を有する第4の領域と、

前記光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有する固体撮像装置の形成方法において、

前記光電変換部と前記電荷転送部との間に前記第2導電型を有する第5の領域を形成することを特徴とする固体撮像装置の形成方法。

【請求項11】 一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、

前記第1の領域内にあって第2導電型を有する第4の領域と、

前記光電変換部に蓄積された信号電荷を前記第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有する固体撮像装置の形成方法において、

前記第2の領域が前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入する工程から形成されることを特徴とする固体撮像装置の形成方法。

【請求項12】 前記イオン注入する工程は、イオン注入角度を有してイオンを注入することを特徴とする請求項11に記載の固体撮像装置の形成方法。

【請求項13】 一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、

前記第1の領域内にあって第2導電型を有する第4の領域と、

前記光電変換部に蓄積された信号電荷を前記第4の領域

に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有し、

前記光電変換部と前記電荷転送部は前記第2導電型を有する第5の領域を介して接続されている固体撮像装置の形成方法において、

前記第2の領域と前記第5の領域は、少なくとも前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物を複数回イオン注入する工程から形成されることを特徴とする固体撮像装置の形成方法。

【請求項14】一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、

前記第1の領域内にあって第2導電型を有する第4の領域と、

前記光電変換部に蓄積された信号電荷を前記第4の領域に転送するための前記第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部とを有し、

前記光電変換部と前記電荷転送部は前記第2導電型を有する第5の領域を介して接続されている固体撮像装置の形成方法において、

前記第5の領域は、前記電荷転送部の制御電極と、前記電荷転送部の制御電極の側面に設けたマスク手段をマスク材にして、前記第1導電型を有する不純物をイオン注入することによって前記第3の領域を形成することによって形成されることを特徴とする固体撮像装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置及びその形成方法に関し、詳しくは画素毎に信号増幅部を有する固体撮像装置及びその形成方法に関する。

【0002】

【従来の技術】固体撮像装置の代表的なものには、ホトダイオードおよびCCDシフトレジスタからなるCCDセンサと、ホトダイオードおよびMOSトランジスタからなるAPS (Active Pixel Sensor) 等のCMOSセンサと呼ばれるものがある。

【0003】APSは、1画素毎にホトダイオード、MOSスイッチ、ホトダイオードからの信号を増幅するための増幅回路などを含み、「XYアドレッシング」や「センサと信号処理回路の1チップ化」などが可能といった多くのメリットを有している。しかし、その一方で

1画素内の素子数が多いことから、画素開口率の小さいことや、光学系の大きさを決定するチップサイズの縮小化が困難であり、市場の大部分をCCDが占めている。

【0004】近年は、MOSトランジスタの微細化技術の向上と「センサと信号処理回路の1チップ化」や「低消費電力化」などの要求の高まりから、注目を集めている。

【0005】図11に従来のAPSの画素部およびそれを用いた固体撮像装置の等価回路図を示す。これらは、Eric R. Fossum氏らによって1995年IEEEのWork Shopで報告されている。従来技術の構成を以下簡単に説明する。

【0006】光電変換部は、CCD等で用いられている埋め込み型のホトダイオードである。埋め込み型のホトダイオードは、表面に濃いp層を設けることで、SiO₂面で発生する暗電流を抑制し、また、蓄積部のn層と表面のp層との間にも接合容量を設けることができ、ホトダイオードの飽和電荷量を増やすことができる。

【0007】光電変換部PPDで蓄積した光信号電荷Q_{sig}をMOSトランジスタからなる転送部TXを介し、浮遊拡散領域 (Floating Diffusion Area) に読み出す。

【0008】この浮遊拡散領域の容量C_{FD}により、信号電荷Q_{sig}/C_{FD}に電圧変換し、ソースフォロワ回路を通して信号を読み出す。

【0009】

【発明が解決しようとする課題】しかしながら従来技術においては、電荷蓄積部であるn層が表面から離れた部分にあるため、ここから電荷を浮遊拡散領域に読み出すためには、転送部に用いているMOSトランジスタ (転送MOSトランジスタ) の制御電極には、通常のMOSトランジスタに比べ高い電圧を印加する必要があった。

【0010】図3は、通常のMOSトランジスタと転送MOSトランジスタのチャネル部のポテンシャルを表した図である。図によれば、図上左側から光線が入射され、右側に透明なSiO₂、SiN等の透明絶縁膜と、ホトダイオードの濃いp層と、n層とが順次積層されている。そのとき、印加時のポテンシャルで示すレベル変化曲線を表す。

【0011】即ち、図3のポテンシャル図に示す通り、n層が表面から離れた部分にあるため、ポテンシャルをより大きく曲げる必要があるためである。

【0012】通常のMOSトランジスタの閾値電圧V_{th}が、以下の式で与えられる。

【0013】

【数1】

$$V_{th} = \frac{\sqrt{(2\phi_F + V_s) * 2\epsilon_{Si} * qN_{sub}}}{C_{ox}} + 2\phi_F + V_s + V_{FB}$$

ここで、φ_Fは、フェルミポテンシャル、V_sは、

基板バイアス

ϵ_{Si} は、Siの誘電率
荷量

N_{sub}は、基板の不純物濃度
バンド電圧

C_{ox}は、浮遊拡散領域の寄生容量、である。これに対

$$V_{th} = \frac{\sqrt{(2\phi_F + V_s) * 2\epsilon_{Si} * qN_{sub}}}{C_{ox}} * A + (2\phi_F + V_s) * A^2 + V_{FB}$$

$$A = 1 + \frac{X_j}{\sqrt{\frac{(2\phi_F + V_s) * 2\epsilon_{Si}}{qN_{sub}}}}$$

両者の差は、基板濃度が高いほど顕著になるため、素子の微細化に伴い基板濃度が高くなるほど、電荷読み出しが困難になる。

【0015】具体的には、酸化膜厚が15nm、p型ウェル濃度を $8 \times 10^{16} \text{ cm}^{-3}$ において、通常のMOSトランジスタの閾値電圧が約0.7Vとあるのに対し、埋め込まれたソースの閾値電圧は、5.0Vとにも達してしまう。従来技術においては、閾値電圧の上昇に伴い、ホトダイオードから殆ど全部の電荷を読み出すことはできない。この結果、ホトダイオードに電荷の読み残しが生じ、残像やノイズとなって画像が著しく劣化させるという問題があった。

【0016】本発明者らはこの問題点を解決するため、図1に示す通り、ホトダイオードと転送MOSトランジスタの間に電荷蓄積層と同じ導電型の領域を設けた。例えば、p型のウェル中にn型の電荷蓄積部と電荷蓄積部の表面部に濃いp型表面層からなるホトダイオードの場合は、n型の不純物領域を設けるのである。以下この領域をバイパス領域と称する。この結果、電荷蓄積部の電子はポテンシャルの低いバイパス領域を介し転送MOSトランジスタの表面を通り浮遊拡散に達するため、従来技術よりも、転送MOSトランジスタの閾値電圧を小さくできる。

【0017】しかしながら、バイパス領域という概念は、既にCCDシフトレジスタを用いた撮像デバイスにおいて、実施されており、図12(b)に示すように、1989年のテレビジョン学会技術報告V01.13, No. 11により報告されている。バイパス領域は、マスクにより表面の濃いp層をズラして作製していることが、図12(a)に示すようにレジストを設けて表面の濃いp層を形成することで説明されている。

【0018】バイパス領域は次の様な条件を満たさなければならない。

- ①バイパス領域として機能させるため、ある程度以上の濃度および幅が必要
- ②空乏転送するため、全ての読み出し条件に対し、バイパス領域は空乏化する
- 即ち、バイパス領域の濃度と幅は①により下限、②によ

し、埋め込みホトダイオードからの転送MOSトランジスタの閾値電圧V_{th}は、以下の式で与えられる。X_jはホトダイオード部の表面のp層の接合深さである。

【0014】

【数2】

り上限が決定する。画素の縮小化に伴い基板濃度が上昇するとバイパス領域の濃度と幅の許容範囲は狭まってしまう。

【0019】また、CCDシフトレジスタを用いた場合、構成上、次の様な制約がある。

①転送MOSトランジスタのドレイン領域に当たる垂直CCDシフトレジスタのチャネル領域であるn領域の濃度が低いこと

②転送MOSトランジスタのゲート電圧とドレイン領域(垂直CCDシフトレジスタのチャネル領域)の電圧との差は、不純物濃度差から生じるヴィルトインポテンシャル(Built in Potential)程度と低い

この結果から、CCDシフトレジスタを用いた撮像デバイスにおいては、転送MOSトランジスタのドレイン領域からの電気力線は、何らホトダイオード側には影響を及ぼさない。

【0020】

【課題を解決しようとする手段】これに対し、本発明は、その構成上、以下の様な特徴を持つ。

①転送MOSトランジスタのドレイン領域は拡散浮遊領域である濃いn型不純物領域からなる

②ドレイン電圧をゲート電圧とは独立に制御できる

本発明は、固体撮像装置において、①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、②該第1の領域内にあって第2導電型を有する第4の領域と、③該光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部と、を少なくとも有する固体撮像装置において、前記光電変換部と前記電荷転送部は第2導電型を有する第5の領域を介して接続されていることを特徴とする。

【0021】また、本発明による固体撮像装置は、①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域

域とからなる光電変換部と、②該第1の領域内にあって第2導電型を有する第4の領域と、③該光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部と、を少なくとも有する固体撮像装置において、前記第2の領域が前記電荷転送部の制御電極をマスク材にして、第2導電型を有する不純物をイオン注入する工程からなることを特徴とする。

【0022】さらに、本発明は、①一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部を形成し、②該第1の領域内にあって第2導電型を有する第4の領域を形成し、③該光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を形成した固体撮像装置の形成方法において、前記光電変換部と前記電荷転送部との間に第2導電型を有する第5の領域を形成することを特徴とする。

【0023】また、本発明は、一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と該第1の領域内に第2導電型の第2の領域と、該第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、前記第1の領域内にあって第2導電型を有する第4の領域と、前記光電変換部に蓄積された信号電荷を該第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有する固体撮像装置の形成方法において、前記光電変換部と前記電荷転送部との間に前記第2導電型を有する第5の領域を形成することを特徴とする。

【0024】さらにまた、本発明は、一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、前記第1の領域内にあって第2導電型を有する第4の領域と、前記光電変換部に蓄積された信号電荷を前記第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有する固体撮像装置の形成方法において、前記第2の領域が前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物をイオン注入する工程から形成されることを特徴とする。

【0025】またさらに、本発明は、一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、前記第1の領域内にあ

って第2導電型を有する第4の領域と、前記光電変換部に蓄積された信号電荷を前記第4の領域に転送するための該第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部を有し、前記光電変換部と前記電荷転送部は前記第2導電型を有する第5の領域を介して接続されている固体撮像装置の形成方法において、前記第2の領域と前記第5の領域は、少なくとも前記電荷転送部の制御電極をマスク材にして、前記第2導電型を有する不純物を複数回イオン注入する工程から形成されることを特徴とする。または、一主表面を含む半導体基板上にある第1導電型の第1の領域と、該第1の領域と、該第1の領域内に第2導電型の第2の領域と、前記第2の領域と主表面との間にある第1導電型の第3の領域とからなる光電変換部と、前記第1の領域内にあって第2導電型を有する第4の領域と、前記光電変換部に蓄積された信号電荷を前記第4の領域に転送するための前記第1の領域と、該第1の領域上の絶縁膜と、該絶縁膜上の制御電極とからなる電荷転送部とを有し、前記光電変換部と前記電荷転送部は前記第2導電型を有する第5の領域を介して接続されている固体撮像装置の形成方法において、前記第5の領域は、前記電荷転送部の制御電極と、前記電荷転送部の制御電極の側面に設けたマスク手段をマスク材にして、前記第1導電型を有する不純物をイオン注入することによって前記第3の領域を形成することによって形成されることを特徴とする。

【0026】この結果、本発明においては、ドレイン領域からの電気力線はホトダイオード側に作用させることができあり、この効果により、電荷蓄積層からの電子の引き抜きを助ける効果がある。

【0027】従って、前述に述べたバイパス領域の濃度と幅の許容範囲を従来に比べ、広げることができる。本発明のポテンシャルの様子を図2に示す。

【0028】

【発明の実施の形態】図1は、本発明の特徴を最も良く表した断面構造図である。図1において、光電変換素子は、n型基板101上に、p型ウェル102を形成し、その上にホトダイオードのn層104を形成し、その上にホトダイオードのp層105を表面を濃くして形成し、転送MOSトランジスタのゲート領域103を絶縁層を介してホトダイオード側面に形成し、転送MOSトランジスタのゲート領域103とホトダイオードの側面の間には、ホトダイオードのn層から連続するバイパス領域106が形成されている。

【0029】また、転送MOSトランジスタのゲート領域103の側面下部に拡散浮遊領域FD107が形成されており、該拡散浮遊領域FD107は出力回路の增幅用MOSトランジスタのゲートに接続され、增幅用MOSトランジスタのソースには、行選択スイッチ用MOSトランジスタ111のドレインが接続され、行選択スイ

チ用MOSトランジスタ111のソースには増幅用MOSトランジスタの負荷となる電流源1112が接続されてソースフォロワ增幅回路を構成している。

【0030】また、該拡散浮遊領域FD107には、該拡散浮遊領域FD107のリセット用のリセットMOSトランジスタのソースが接続され、そのドレインはリセット電源109が接続されている。

【0031】次に、読み出し動作を説明しながら、本発明の特徴を詳しく説明する。光が入射し、光電変換により生成された電子がホトダイオードのn層に蓄積する。この時、転送MOSトランジスタはOFF状態にある。所定の蓄積時間が経過したのち、転送MOSトランジスタの制御電極（ゲート領域）103に正の電圧を印加し、転送MOSトランジスタをON状態にし、ホトダイオードのn層の蓄積電荷を拡散浮遊領域に転送する。転送MOSトランジスタをON状態にする前に、予め、拡散浮遊領域を所定の電圧にリセットしておく。蓄積電荷が拡散浮遊領域に転送されると、拡散浮遊領域の電圧は、転送電荷 Q_{sig} と拡散浮遊容量 C_{FD} を用いると、転送電荷が電子であるため、 Q_{sig} / C_{FD} 分の電圧がリセット電圧から低下する。ホトダイオードの蓄積層がp型であるならば、転送電荷は正孔であるため、逆に電圧は上昇する。

【0032】この様なAPSにおいては、拡散浮遊領域107のリセット直後の出力信号 V_{r1} を一旦保持し、リセット信号に Q_{sig} / C_{FD} 分だけ重畳された出力信号 V_{sig1} との差分（ $V_{sig1} - V_{r1}$ ）をとることで、拡散浮遊領域107のリセットノイズの大部分を除去することができる。特に、ホトダイオードと転送MOSトランジスタ103が以下に述べる条件を満たすことが、より高いノイズの除去率を達成する。即ち、ホトダイオードのn層に蓄積された信号電荷をより高い割合で読み出すことが重要である。

【0033】詳しく説明すると、信号を読み出し後のリセット電圧から、 Q_{sig} / C_{FD} の電圧だけ低下した拡散浮遊領域の電圧を $V_{FD_{sig1}}$ とし、転送MOSトランジスタが充分なON状態であるならば、ホトダイオードのn層には、p型のウェルと表面の濃いp層のGND電位に対し $V_{FD_{sig1}}$ の逆バイアスが印加される。この時n層には、p型のウェルと表面の濃いp層から空乏層が延び、ホトダイオードのn層全体を空乏化させることで、ホトダイオードに信号電荷を殆ど残さずに拡散浮遊領域に信号電荷を読み出すことができる。

【0034】この場合、拡散浮遊領域に信号電荷を読み出すのと同時に、ホトダイオードのリセットも行っている。読み出し後、即ちホトダイオードのn層に $V_{FD_{sig1}}$ の逆バイアスが印加された状態で、n層に残る電子数が0個ならば、リセット直後の出力信号 V_{r1} とリセット信号に Q_{sig} / C_{FD} 分だけ重畳された出力信号 V_{sig1} との差分をとることでリセットノイズを完全に除去する

ことができ、 $V_{sig1} - V_{r1} = Q_{sig} / C_{FD} \times A$ （Aは画素毎にある出力回路のゲイン）という出力信号を得ることができる。

【0035】この出力信号に画素毎にある出力回路のノイズ ΔV_{n1} が重畳され、最終的なエリアセンサとして形成された集積回路ICからの出力には、画素毎の出力回路以後の読み出し系のノイズ ΔV_{n2} が重畳される。

【0036】以上の様な読み出しを実現するためには、ホトダイオードのn層に逆バイアスを印加し、n層全体が空乏化しはじめる電圧を V_{dep} とすれば、 $V_{dep} < V_{sig1}$ とする必要がある。ここでホトダイオードの空乏化電圧とは、広くは、蓄積部の蓄積電荷数<ネット不純物数となる逆バイアス電圧を意味する。理想的には、読み出し後にホトダイオードのn層に残る電子数は0個であるが、どの程度完全に読み出すかは設計事項となる。実質的には、先に述べた、読み出し系のノイズ ΔV_{n1} 、 ΔV_{n2} に比べ充分に小さければよい。

【0037】ここで重要なのは、以上の様な動作を実現するためには、転送MOSトランジスタを充分なON状態にする必要があり、本発明はそのための技術として、埋め込み型のホトダイオードと転送MOSトランジスタの間にバイパス領域106を設けた。このバイパス領域は、図2に示す様に、必ずしも半導体表面と接している必要はない。なぜならば、バイパス領域はホトダイオードのn層と転送MOSトランジスタのチャネルとの間に介在するものであり、埋め込みチャネルであるならば、当然、バイパス領域は表面に達する必要はない。また、表面にチャネルがある場合でも、バイパス領域が表面のチャネルに達することが最良ではあるが、達しなくとも、前述の式に従い、従来技術と比べ充分に低い閾値電圧を有する転送MOSトランジスタを得ることができる。

【0038】また更に、このバイパス領域が転送MOSトランジスタのゲート下に存在することも効果を上げるポイントであり、ゲート電圧が印加されると、ゲート下のポテンシャルが押し上げられるが、バイパスにもこの効果が加わり、よりポテンシャルを低くすることが可能となる。

【0039】本発明の特徴は、転送MOSトランジスタが、拡散浮遊領域と接続していることであり、以下の様な効果があることを本発明者らは見出した。

【0040】①拡散浮遊領域の不純物濃度は、高く設定でき、印加されたバイアスにより、ウェルと拡散浮遊領域間に生じる空乏層をp型ウェル側に有効に広げることができる。このことは、読み出し時の電圧（リセット電圧）を任意かつ直接的に入力できるためである。

【0041】②CCDの様に、不純物プロファイルのビルトインポテンシャルで決定できる程度の小さいダイナミックレンジに対し、外部電圧で制御可能な広いダイナミックレンジを確保できる。

【0042】③読み出し時の電圧を適正にすることで、バイパス領域近傍のポテンシャル障壁を適度に押し下げ読み出しやすくする。

【0043】APSにおいては、1画素に含まれるトランジスタが多いため、画素の縮小化を行うためにはトランジスタ自身の微細化を行わなければならず、必然的にホトダイオードや転送MOSトランジスタのウェル濃度が上昇する。また、トランジスタの微細化に伴い、電源電圧の低電圧化を図る必要がある。ホトダイオードの取り扱い電荷量を維持したまま、空乏化電圧 V_{dep} を低くするためには、空乏化ホトダイオードの蓄積層（図1においてはn層）の不純物濃度を高くかつ薄層化する必要があり、バイパス領域もホトダイオードのn層と同様に空乏化する必要があるため、バイパス領域の幅も狭くする必要がある。

【0044】さらに、ホトダイオードのn層およびバイパス領域の幅の加工寸法精度が厳しくなる一方、ウェル濃度が上昇し、そうすると加工バラツキ要因は増え、より一層の加工寸法精度が要求され、歩留まり劣化につながる。特にバイパス領域の幅は、シリコン基板の面方向の精度であり、一般的に深さ方向より、加工精度が低く、歩留まり劣化の大きな要因になる。本発明においては、前述の③の効果により、バイパス領域の幅の許容範囲を広げ、歩留まりが向上する。

【0045】また、本発明においては、加工方法を以下の様にすることで、バイパス領域の幅の加工精度を向上させ、歩留まりを向上させる。

【0046】従来技術であるCCDのバイパス領域は、転送MOSトランジスタの制御電極形成前のホトダイオードのn層のイオンインプラと、転送MOSトランジスタの制御電極をマスク材にした表面の濃いp層のイオンインプラにより形成されるため、バイパス領域の幅は露光装置の位置合わせ精度により、その幅は大きくバラツクものである。この様な製造方法になってしまふのは、CCDはその動作電圧が高く、ホトダイオードのn層の空乏化電圧も高いため、一般的には、p型ウェルとホトダイオードのn層の接合深さは、0.5μm以上と深い。そのため、制御電極の厚さが高々0.5μmであることから、制御電極をマスク材にイオンインプラすることはできないからである。

【0047】これに対し本発明は、例えば、実施例3で示す様に、ホトダイオードのn層を転送MOSトランジスタの制御電極、例えば多結晶シリコンをマスク材にし、斜めにイオン注入することでバイパス領域を形成することで、その幅を制御電極からイオンインプラの投影飛程で決定することができる。イオンインプラの投影飛程を利用するため、加工精度は高い。その他、以降の実施例で幾つか例を示すが、本質的には、バイパス領域を転送MOSトランジスタの制御電極をマスク材とし、イオンインプラを用いて形成することにより、その加工精

度を向上させるものである。

【0048】前述に示したものは、電子を蓄積した場合を例にあげ、本発明の特徴について説明しているが、本発明は、正孔を蓄積する場合や、蓄積電荷および転送MOSトランジスタのタイプに限定されるものではない。

【0049】

【実施例】【実施例1】図4を用いて実施例1について説明する。本実施例のホトダイオードとその周辺は以下の手順で形成される。

【0050】n型基板901に対し、イオンインプラを用いボロンを導入し、熱処理を行い、表面濃度が約 $2 \times 10^{16} \text{ cm}^{-3}$ のp型ウェル902を形成し、ホトレジスト908を形成して、ホトダイオードのn層904を形成した<図4(a)>。

【0051】さらに、熱酸化法により基板表面全般にゲート酸化膜910を30nm形成後、転送MOSトランジスタの制御電極903を形成した<図4(b)>。

【0052】つぎに、基板表面のホトダイオード上と制御電極の一部の他の領域にホトレジスト909を形成し、窒素雰囲気中で950°C/20分の熱処理を施した後、制御電極903をマスクに表面の濃いp層905を形成した<図4(c)>。

【0053】通常の半導体製造工程に従い、砒素からなる拡散浮遊領域907を形成した<図4(d)>。

【0054】この工程で、通常のMOSトランジスタのソース・ドレイン領域を形成した。

【0055】この後、通常の半導体製造工程に従い、第1の層間絶縁膜、コンタクト、第1金属配線、第2の層間絶縁膜、第1金属配線と第2金属配線を接続するビア、第2金属配線、パッシベーション膜を順次形成した。

【0056】この結果、約100nmのバイパス領域906を形成した。両側が濃いn型拡散層からなる、通常のMOSトランジスタの閾値電圧と、ソースが埋め込みのn層からなる転送MOSトランジスタのバイパス領域のない場合と、ある場合（本発明）の閾値電圧をそれぞれ評価したところ、0.7volt、2.2volt、0.7voltであった。この結果、バイパス領域により、閾値電圧が通常のMOSトランジスタ並みに低下していることを確認した。閾値電圧が低下することにより、浮遊拡散領域のダイナミックレンジが少なくとも1.5volt広がったことが解る。

【0057】【実施例2】図5を用いて実施例2を説明する。本実施例のホトダイオードとその周辺は以下の手順で形成される。

【0058】n型基板601に対し、イオンインプラを用いボロンを導入し、熱処理を行い、表面濃度が約 $4 \times 10^{16} \text{ cm}^{-3}$ のp型ウェル602を形成した。熱酸化法によりゲート酸化膜を15nm形成後、多結晶シリコンを400nm体積し、転送MOSトランジスタの制御電

極603を形成した<図5(a)>。

【0059】その後、ホトレジスト608と制御電極603をマスク材に燐を100KeVでイオンインプラを行った。

【0060】この時、多結晶シリコンの膜厚400nmに対し、燐の投影飛程と標準偏差がそれぞれ120nm、45nmであり、多結晶シリコンが十分なマスク材として機能した<図5(b)>。

【0061】つぎに、ホトレジスト608を除去し、窒素雰囲気において950°C 20分の熱処理を行い、燐を若干拡散させた後に、再度ホトレジスト609を形成し、ホトレジスト609と制御電極603をマスク材に、BF2を35KeVでイオンインプラを行った<図5(c)>。

【0062】通常の半導体製造工程に従い、砒素からなる拡散浮遊領域607を形成した<図5(d)>。この工程で、通常のMOSトランジスタのソース・ドレイン領域を形成した。

【0063】この後、通常の半導体製造工程に従い、第1の層間絶縁膜、コンタクト、第1金属配線、第2の層間絶縁膜、第1金属配線と第2金属配線を接続するビア、第2金属配線、パッシベーション膜を順次形成した。

【0064】この結果、約100nmのバイパス領域606を形成した。両側が濃いn型拡散層からなる、通常のMOSトランジスタの閾値電圧と、ソースが埋め込みのn層からなる転送MOSトランジスタのバイパス領域のない場合の閾値電圧と、ある場合(本発明)の閾値電圧とをそれぞれ評価したところ、0.7V_{OL}、3.5V_{OL}、0.7V_{OL}であった。バイパス領域により、閾値電圧が通常のMOSトランジスタ並みに低下していることを確認した。

【0065】[実施例3]図5および図6を用いて実施例3を説明する。本実施例のホトダイオードとその周辺は以下の手順で形成される。

【0066】図5において、n型基板601に対し、イオンインプラを用いボロンを導入し、熱処理を行い、表面濃度が約 $4 \times 10^{16} \text{ cm}^{-3}$ のp型ウェル602を形成した。熱酸化法によりゲート酸化膜を15nm形成後、多結晶シリコンを400nm体積し、転送MOSトランジスタの制御電極603を形成した<図5(a)>。

【0067】その後、ホトレジスト1008と制御電極1003をマスク材に燐を斜めから100KeVでイオンインプラを行った。この時のイオン注入角度θは20°とした。この斜めのイオンインプラを行うため、イオンインプラ直後でも燐が制御電極1003下にまで及んでいる。この時、多結晶シリコンの膜厚400nmに対し、燐の投影飛程と標準偏差がそれぞれ120nm、45nmであり、多結晶シリコンが十分なマスク材として機能した<図6>。

【0068】再度ホトレジスト609を形成し、ホトレジスト609と制御電極603をマスク材にBF2を35KeVでイオンインプラを行った。この時のイオン注入角度θは、チャネリング抑制のための7°とした<図5(c)>。

【0069】通常の半導体製造工程に従い、砒素からなる拡散浮遊領域607を形成した<図5(d)>。

【0070】この工程で、通常のMOSトランジスタのソース・ドレイン領域を形成した。

【0071】この後、通常の半導体製造工程に従い、第1の層間絶縁膜、コンタクト、第1金属配線、第2の層間絶縁膜、第1金属配線と第2金属配線を接続するビア、第2金属配線、パッシベーション膜を順次形成した。

【0072】この結果、約100nmのバイパス領域606を形成した。両側が濃いn型拡散層からなる、通常のMOSトランジスタの閾値電圧と、ソースが埋め込みのn層からなる転送MOSトランジスタのバイパス領域のない場合の閾値電圧と、ある場合(本発明)の閾値電圧をそれぞれ評価したところ、0.7V_{OL}、3.5V_{OL}、0.7V_{OL}であった。バイパス領域により、閾値電圧が通常のMOSトランジスタ並みに低下していることを確認した。

【0073】燐を斜めにイオンインプラしてバイパス領域を形成するため、実施例2において燐を拡散させるための窒素雰囲気において950°C、20分の熱処理を省略した。この結果、半導体プロセスの熱処理時間を短くすることができ、より信号処理などに用いられる周辺のMOSトランジスタの微細化が可能となった。

【0074】[実施例4]本発明の実施例4として、実施例3における形成過程で、燐のイオンインプラをバイパス領域を設けるための第1のイオンインプラと、ホトダイオードのn層を設けるための第2のイオンインプラの2回に分けて行った。

【0075】第1のイオンインプラは、イオン注入角度θ=45°、80KeVで表面の濃いp層のプロファイルを考慮し、表面近くにピーク値を配置するとともにバイパス領域を確保するため、イオン注入角度θは、20°より大きくした。

【0076】第2のイオンインプラは、ホトダイオードのn層の空乏化電圧を制御するために、イオン注入角度θ=7°、90KeVで行った。

【0077】上記実施例により、バイパス領域のイオンインプラと、ホトダイオードのn層のイオンインプラを分けることで、イオン注入角度、イオン注入エネルギー、イオン注入ドーズ量をそれぞれの特性に合わせて最適化することができた。

【0078】[実施例5]図7を用いて実施例5を説明する。本実施例のホトダイオードとその周辺は以下の手順で形成される。

【0079】n型基板1101に対し、イオンインプラを用いボロンを導入し、熱処理を行い、表面濃度が約 $2 \times 10^{16} \text{ cm}^{-3}$ のp型ウェル1102を形成し、ホトダイオードのn層を形成した。熱酸化法によりゲート酸化膜を30nm形成後、転送MOSトランジスタの制御電極を形成した。その後、ホトレジスト1108と制御電極1103をマスク材に燐を100KeVでイオンインプラを行った<図7(a)>。

【0080】拡散浮遊領域にLDD用の低濃度n層を設けた後、サイドスペーサを幅150nmで形成した<図7(b)>。

【0081】ホトレジスト1109を形成し、ホトレジスト1109と制御電極1103およびサイドスペーサをマスク材に、BF2を35KeVでイオンインプラを行った。この時のイオン注入角度θは、チャネリング抑制のための7°とした<図7(c)>。

【0082】通常の半導体製造工程に従い、砒素からなる拡散浮遊領域1107を形成した<図7(d)>。

【0083】この工程で、通常のMOSトランジスタのソース・ドレイン領域を形成した。

【0084】この後、通常の半導体製造工程に従い、第1の層間絶縁膜、コンタクト、第1金属配線、第2の層間絶縁膜、第1金属配線と第2金属配線を接続するビア、第2金属配線、パッシベーション膜を順次形成した。

【0085】この結果、約150nmのバイパス領域1106を形成した。両側が濃いn型拡散層からなる、通常のMOSトランジスタの閾値電圧と、ソースが埋め込みのn層からなる転送MOSトランジスタのバイパス領域のない場合の閾値電圧と、ある場合(本発明)の閾値電圧とをそれぞれ評価したところ、0.7volt、3.5volt、0.7voltであった。バイパス領域により、閾値電圧が通常のMOSトランジスタ並みに低下していることを確認した。ここで、上記サイドスペーサはマスク手段に対応するものである。

【0086】なお、マスク手段は、サイドスペーサの代わりに、シリサイドやサリサイド等を形成してもよいことは勿論である。

【0087】[実施例6]図5および図6、図8を用いて実施例6を説明する。本実施例のホトダイオードとその周辺は以下の手順で形成される。

【0088】n型基板601に対し、イオンインプラを用いボロンを導入し、熱処理を行い、表面濃度が約 $4 \times 10^{16} \text{ cm}^{-3}$ のp型ウェル602を形成した。熱酸化法によりゲート酸化膜を15nm形成後、多結晶シリコンを400nm体積し、転送MOSトランジスタの制御電極603を形成した<図5(a)>。

【0089】その後、ホトレジスト1008と制御電極1003をマスク材に燐を斜めから100KeVでイオンインプラを行った。この時のイオン注入角度θは10°とした。この斜めのイオンインプラを行うため、イオンインプラ直後でも燐が制御電極下にまで及んでいる。この時、多結晶シリコンの膜厚400nmに対し、燐の投影飛程と標準偏差がそれぞれ120nm、45nmであり、多結晶シリコンが十分なマスク材として機能した<図6>。

【0090】再度ホトレジスト1209を形成し、ホトレジスト1209と制御電極1203をマスク材にBF2を35KeVでイオンインプラを行った。この時のイオン注入角度θは、-15°とした<図8>。

【0091】この結果、制御電極1203が影となり、表面の濃いp層は、制御電極から $400 * \sin(15) = 100 \text{ nm}$ 離れて設けることができた。

【0092】通常の半導体製造工程に従い、砒素からなる拡散浮遊領域607を形成した<図5(d)>。この工程で、通常のMOSトランジスタのソース・ドレイン領域を形成した。

【0093】この後、通常の半導体製造工程に従い、第1の層間絶縁膜、コンタクト、第1金属配線、第2の層間絶縁膜、第1金属配線と第2金属配線を接続するビア、第2金属配線、パッシベーション膜を順次形成した。

【0094】この結果、約150nmのバイパス領域606を形成した。両側が濃いn型拡散層からなる、通常のMOSトランジスタの閾値電圧と、ソースが埋め込みのn層からなる転送MOSトランジスタのバイパス領域のない場合の閾値電圧と、ある場合(本発明)の閾値電圧とをそれぞれ評価したところ、0.7volt、3.5volt、0.7voltであった。バイパス領域により、閾値電圧が通常のMOSトランジスタ並みに低下していることを確認した。

【0095】燐を斜めにイオンインプラしてバイパス領域を形成するため、実施例2において燐を拡散させるための窒素雰囲気において950°C、20分の熱処理を省略した。この結果、半導体プロセスの熱処理時間を短くすることができ、より信号処理などに用いられる周辺のMOSトランジスタの微細化が可能となった。

【0096】[実施例7]実施例1から実施例6のホトダイオード705および転送MOSトランジスタQ1を用い、図9に示す画素構成からなり、図10に示す読み出し回路からなるエリアセンサを作製した。

【0097】図9においては、ホトダイオード705および転送MOSトランジスタの転送スイッチQ1を備え、Q2は拡散浮遊領域をリセットするためのリセットMOSトランジスタのリセットスイッチ、Q3は拡散浮遊領域をゲートに接続され、ソース側の負荷として接続される定電流源812からなるソースフォロワ増幅回路の入力MOSトランジスタ、Q4は読み出し画素を選択するための選択スイッチである。

【0098】これらから構成された光電変換素子の画素

セルを3行3列に用いた固体撮像装置を図10に示している。

【0099】図9及び図10の基本的な動作を以下に説明する。

①リセットスイッチQ2によりソースフォロワの入力ゲートにリセット電圧を入力するリセット動作と、選択スイッチQ4による、行選択を行う。

②ソースフォロワの入力ノードの浮遊拡散領域のゲートをフローティングにし、リセットノイズおよびソースフォロワMOSの閾値電圧のバラツキなどの固定パタンノイズからなるノイズ成分の読み出しを行い、その情報を信号蓄積部805に一旦保持する。

③その後、転送スイッチQ1を開閉し、光信号により生成されたホトダイオードの蓄積電荷をソースフォロワの入力ノードに転送し、前述のノイズ成分と光信号成分の和を読み出し、信号蓄積部805に保持する。

④共通信号線への転送スイッチ808, 808'を介して、共通信号線809, 809'に、ノイズ成分の信号と、ノイズ成分と光信号成分の和の信号とをそれぞれ共通信号線1(808), 共通信号線2(808')の転送スイッチを導通して、読み出し、それぞれ各出力アンプ810を介して出力811, 811'として出力する。

【0100】その後、出力811と811'の差をとることでリセットノイズおよび固定パタンノイズを除去して、光信号成分を取り出し、S/Nの高い画像信号を得ることができる。

【0101】上記方法で読み出しを行い、信号とノイズ評価を行った。その結果、各ビット毎のダイナミックレンジ(S/N) = 75~85 dBという高いS/Nを得た。また、各実施例におけるS/Nのバラツキを評価した結果、バラツキの大きさは、次の通りであり、実施例3、実施例4<実施例2、実施例5、実施例6<<実施例1結果として、低温でかつ制御電極による自己整合的な形成方法が、より有効であることを示している。

【0102】

【発明の効果】本発明によれば、固体撮像装置のホトダイオードに蓄積された光電荷を転送する転送MOSトランジスタの閾値を小さくして、ダイナミックレンジを広くできる。とくに、ホトダイオードと転送MOSトランジスタの制御電極間に電子又は正孔の蓄積電荷を効果的に転送できるバイパス領域の拡散浮遊領域を設けているので、

①拡散浮遊領域の不純物濃度を高く設定でき、転送スイッチの制御電極に印加されたバイアスにより、ウェルと拡散浮遊領域間に生じる空乏層をp型ウェル側に有効に広げることができる。このことは、読み出し時の電圧(リセット電圧)を任意かつ直接的に入力できるためである。

【0103】②CCDセンサのように、不純物プロファ

イルのビルトインポテンシャルで決定できる程度の小さいダイナミックレンジに対し、外部電圧で制御可能な広いダイナミックレンジを確保できる。

【0104】③読み出し時の電圧を適正にすることで、バイパス領域近傍のポテンシャル障壁を適度に押し下げ、光電荷を読み出しやすくする。

【図面の簡単な説明】

【図1】本発明の特徴を最も良く表す断面構造図である。

【図2】本発明による図1の平面ポテンシャル図である。

【図3】本発明による図1の断面ポテンシャル図である。

【図4】本発明による実施例1の製造工程を示した断面構造図である。

【図5】本発明の製造工程を示した断面構造図である。

【図6】本発明による実施例3の製造工程を示した断面構造図である。

【図7】本発明による実施例5の製造工程を示した断面構造図である。

【図8】本発明による実施例6の製造工程を示した断面構造図である。

【図9】本発明を用いた画素の等価回路図である。

【図10】本発明を用いたエリアセンサの読み出し回路を含めた等価回路図である。

【図11】従来技術の断面構造図である。

【図12】CCDにバイパス領域を設けた場合の断面構造図である。

【符号の説明】

101, 501, 601, 901, 1001, 1101
半導体基板

102, 502, 602, 902, 1002, 1102
ウェル

103, 603, 903, 1003, 1103 転送MOSトランジスタの制御電極

104, 504, 604, 904, 1004, 1104
ホトダイオードのn層

105, 505, 605, 905, 1105 ホトダイオードの表面の濃いp層

106, 606, 906, 1106 バイパス領域

107, 607, 907, 1107 拡散浮遊領域

108 リセットMOSトランジスタ

109 リセット電極

110 出力回路(ソースフォロワ)の入力MOSトランジスタ

111 選択スイッチ用のMOSトランジスタ

112 ソースフォロワの定電流負荷

113 出力端子

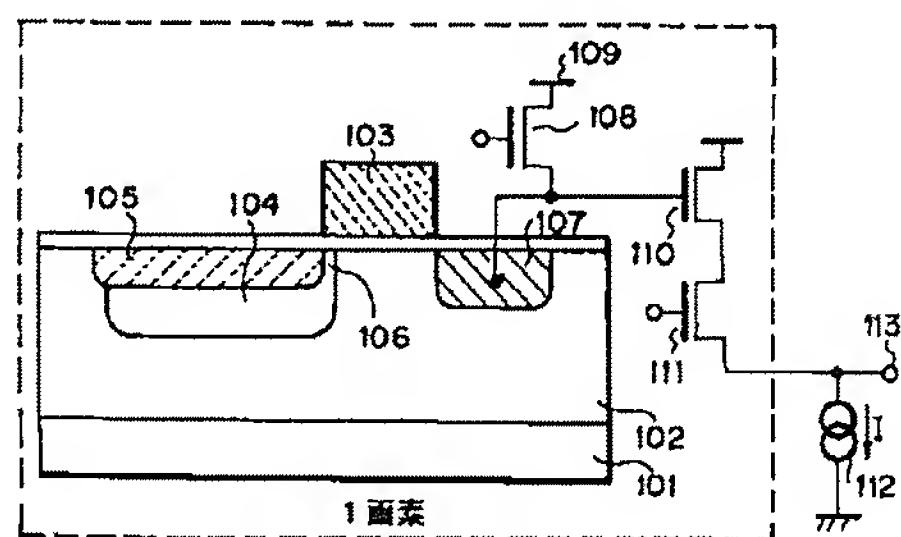
301 酸化膜

302 ホトダイオードのn層のフェルミ準位

303 バイパス領域のフェルミ準位
 304 閾値電圧の電圧印加時のポテンシャル
 305 閾値電圧の電圧印加時のポテンシャル

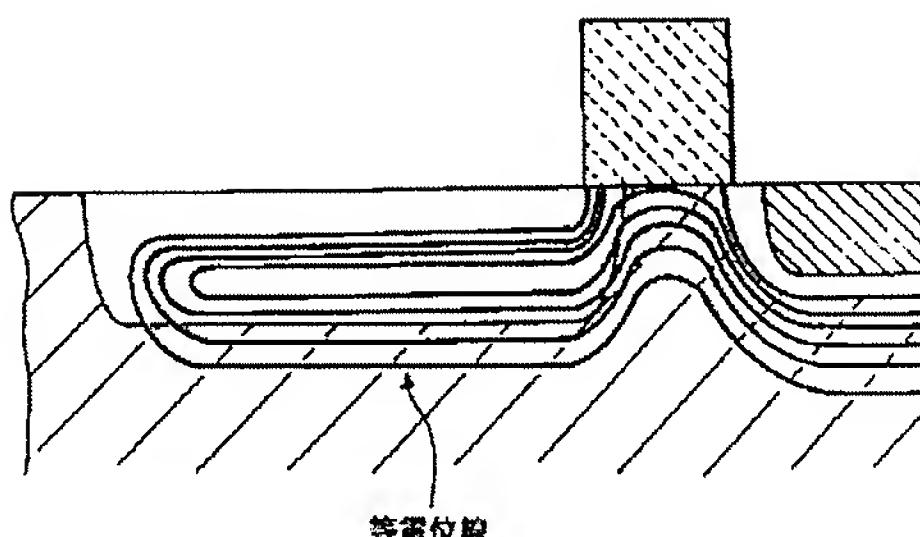
608, 609, 908, 909, 1008 ホトレジ
 スト

【図1】

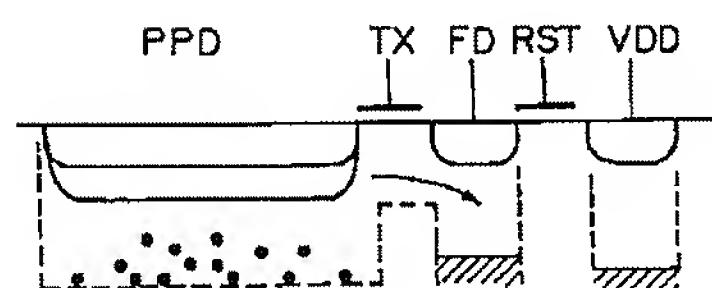


101: n型基板
 102: p型ウェル
 103: 転送MOSトランジスタ
 104: ホトダイオードのn層
 105: 表面の深いp層
 106: バイパス領域
 107: 拡散浮遊領域
 108: リセットMOSトランジスタ
 109: リセット電源
 110: 出力回路(ソースフォロワ)の入力MOSトランジスタ
 111: 選択スイッチ用のMOSトランジスタ
 112: ソースフォロワの定電流負荷
 113: 出力端子

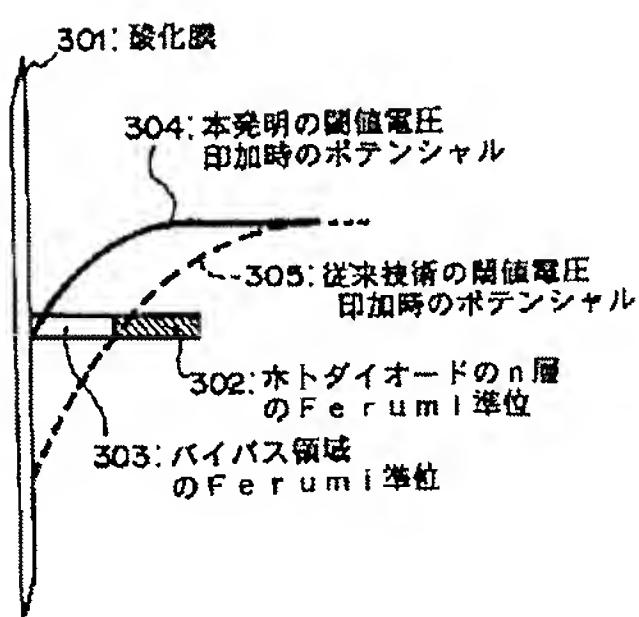
【図2】



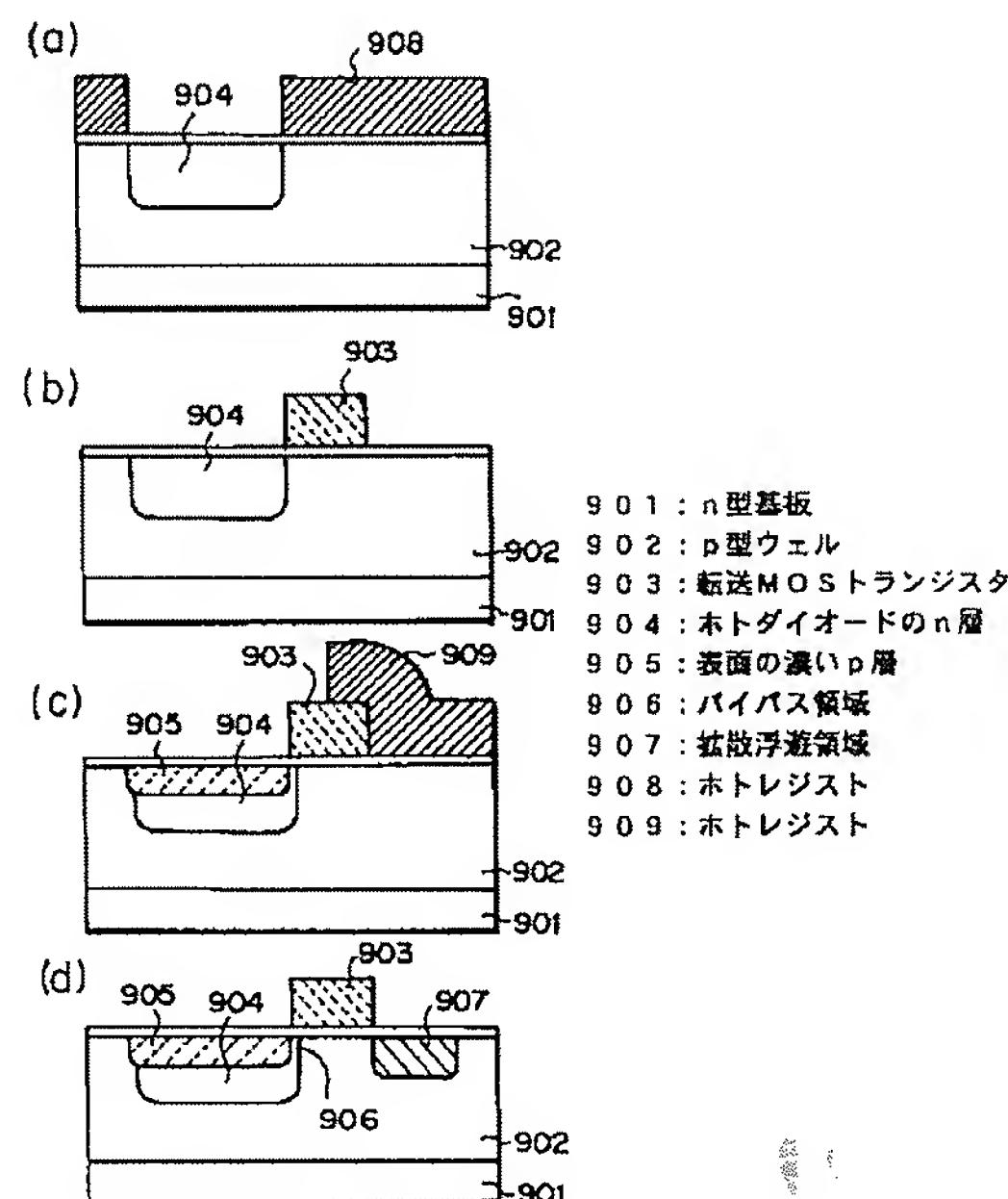
【図11】



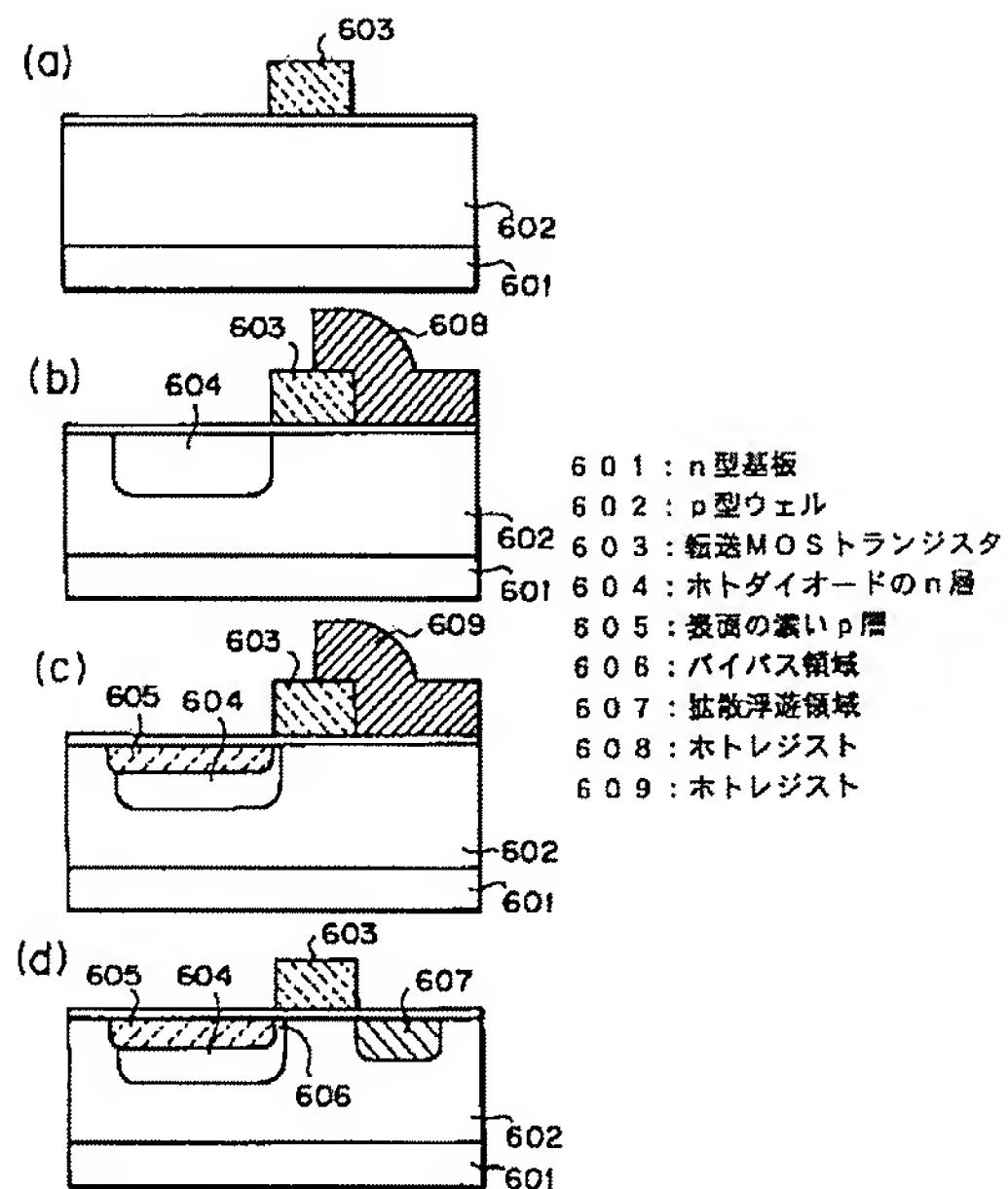
【図3】



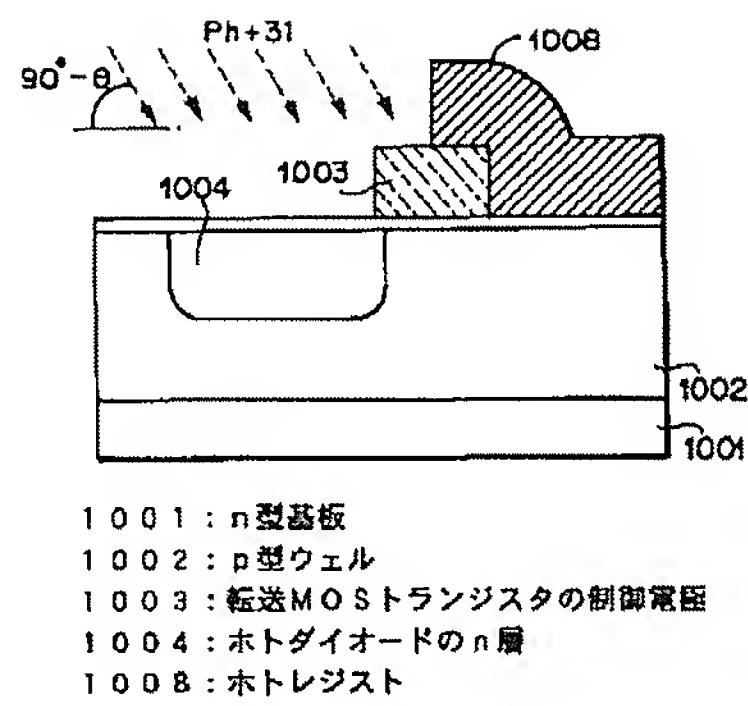
【図4】



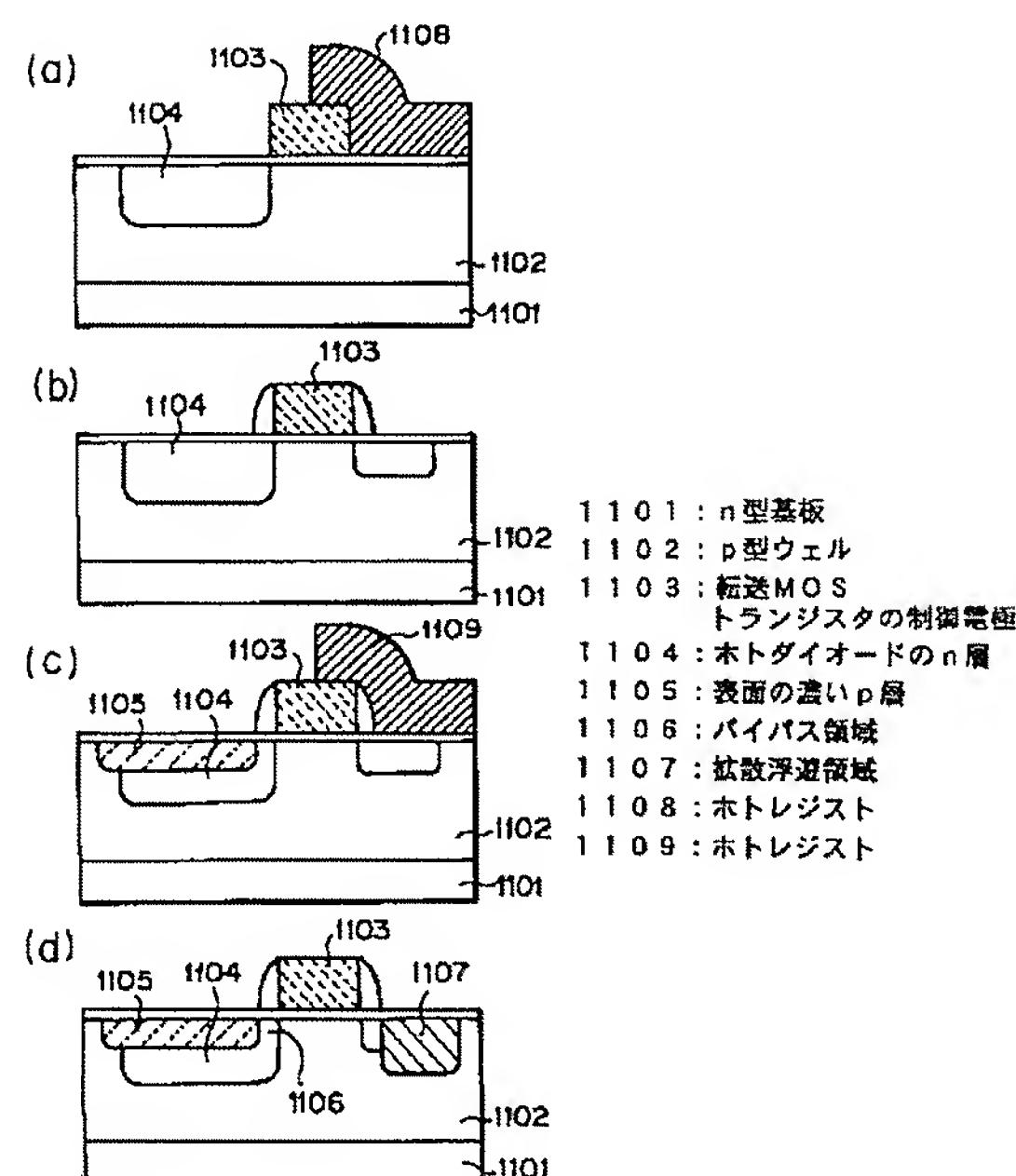
【図5】



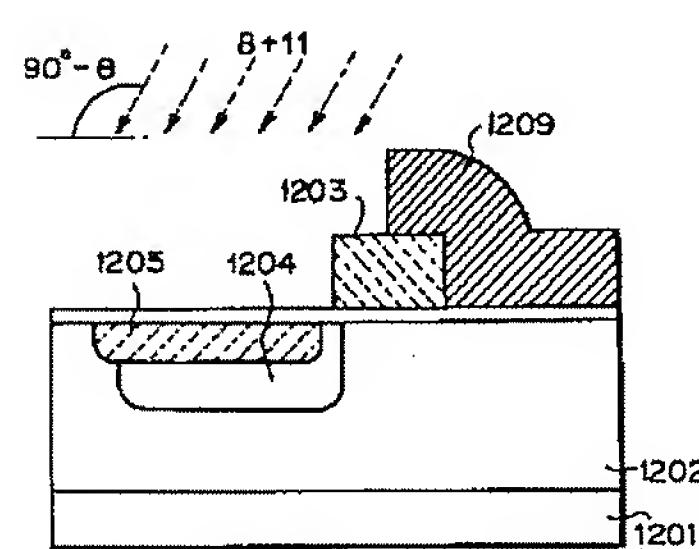
【図6】



【図7】

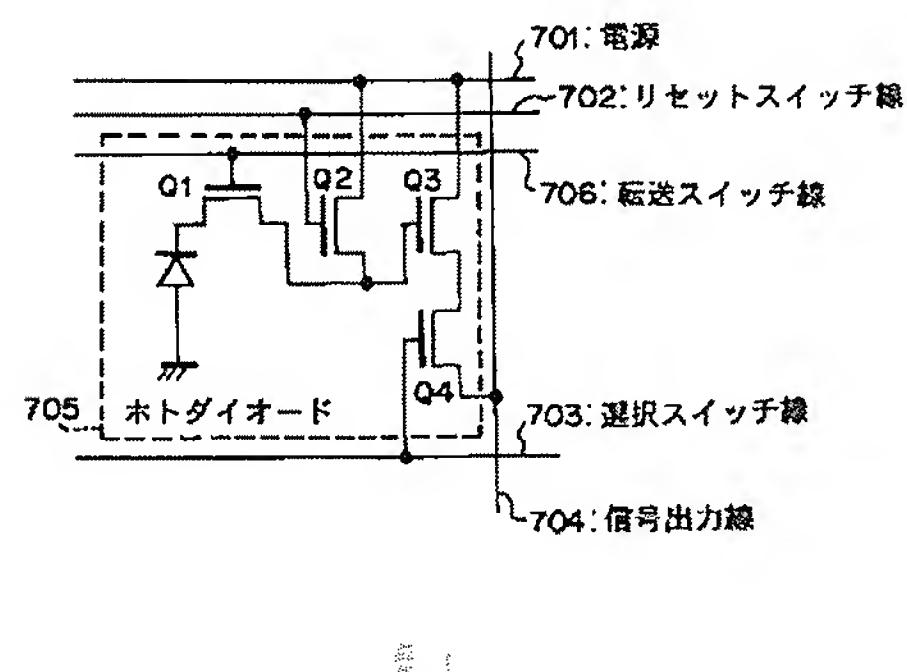


【図8】

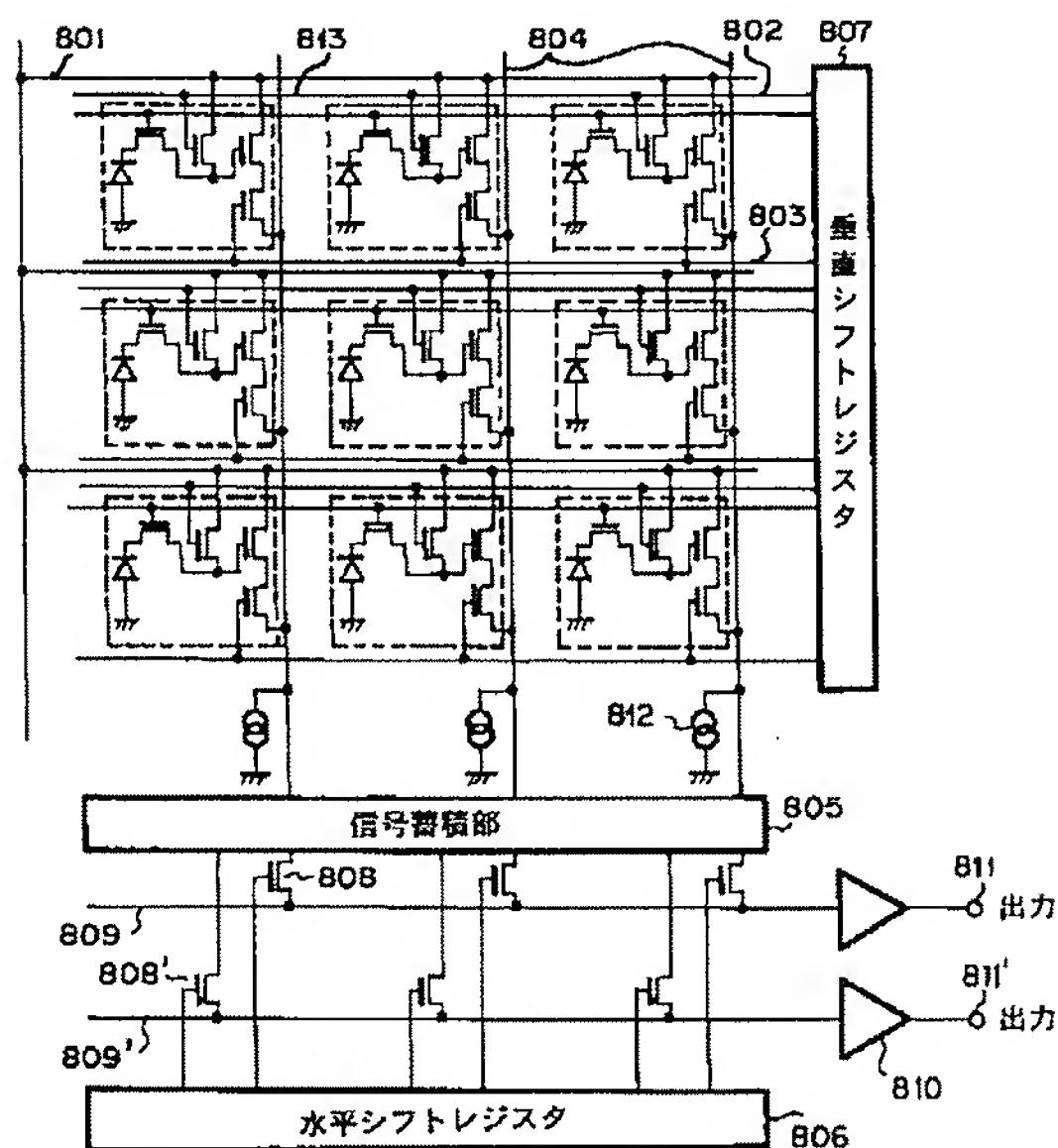


1201: n型基板
1202: p型ウェル
1203: 転送MOSトランジスタの制御電極
1204: ホトダイオードのn層
1205: 表面の深いp層
1209: ホトレジスト

【図9】

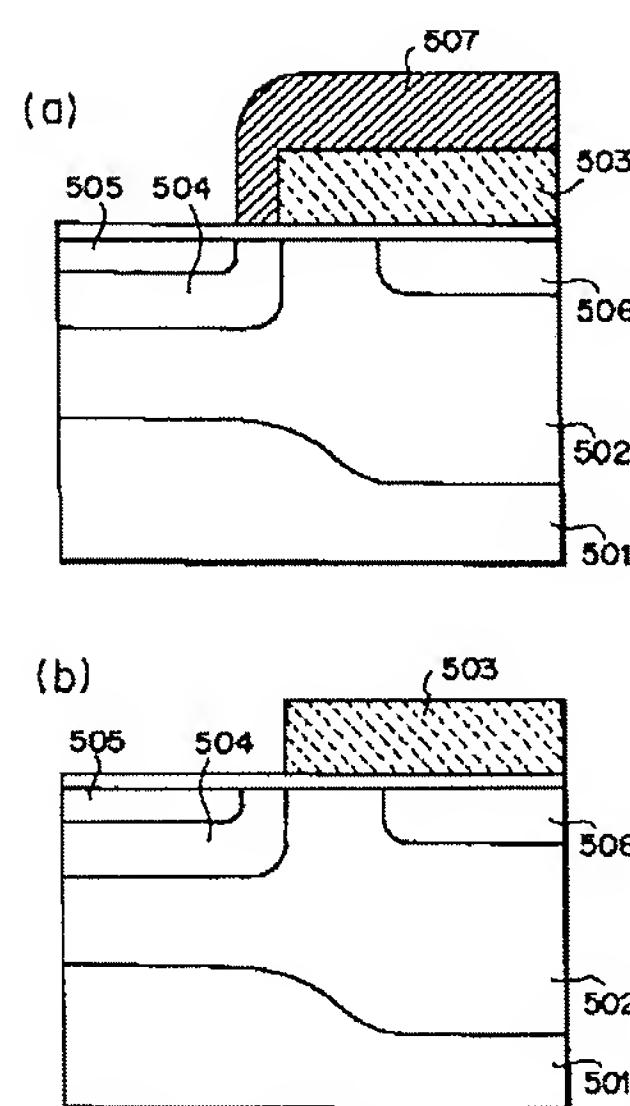


【図10】



801: 電源
 802: リセットスイッチ線
 803: 選択スイッチ線
 804: 信号出力線
 808: 共通信号線1への転送スイッチ
 808': 共通信号線2への転送スイッチ
 809: 共通信号線1
 809': 共通信号線2
 810: 出力アンプ
 811: 出力
 811': 出力
 812: 定電流源
 813: 転送スイッチ線

【図12】



501: n型基板
 502: p型ウェル
 503: 垂直CCD転送電極
 504: ホトダイオードのn層
 505: 表面の濃いp層
 506: 垂直CCD
 507: レジスト

フロントページの続き

(72)発明者 櫻井 克仁
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 上野 勇武
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 須川 成利
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

